

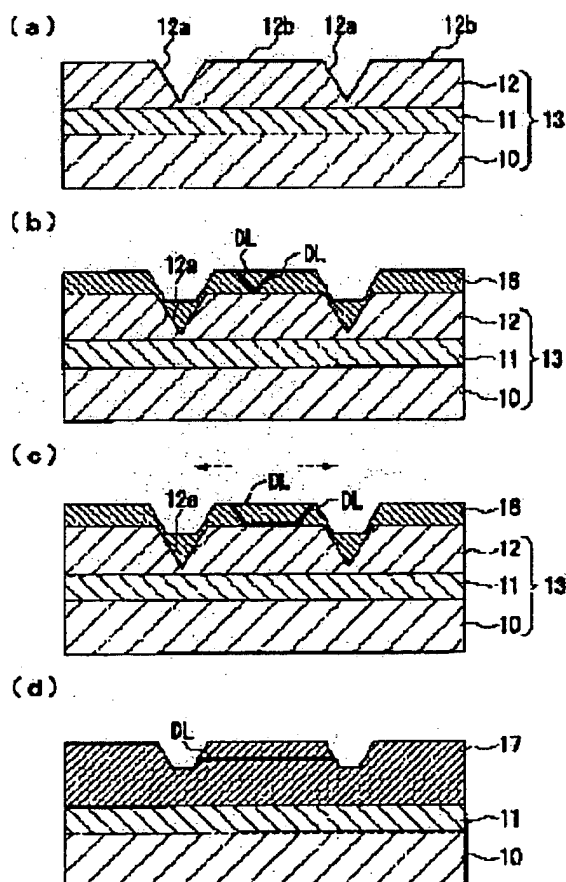
SEMICONDUCTOR SUBSTRATE AND METHOD FOR MANUFACTURING THE SAME, FIELD EFFECT TRANSISTOR AND METHOD FOR MANUFACTURING THE SAME

Patent number: JP2003078140
Publication date: 2003-03-14
Inventor: SHIONO ICHIRO; MIZUSHIMA KAZUKI
Applicant: MITSUBISHI MATERIAL SILICON;; MITSUBISHI MATERIALS CORP
Classification:
- international: H01L29/786; H01L21/205; H01L21/301; H01L21/306; H01L21/336; H01L21/762; H01L27/12
- european:
Application number: JP20010265095 20010831
Priority number(s): JP20010265095 20010831

Report a data error here

Abstract of JP2003078140

PROBLEM TO BE SOLVED: To form an SiGe layer capable of obtaining a sufficient distortion effect with a small penetrating dislocation density on an SOI substrate. **SOLUTION:** A method for manufacturing a semiconductor substrate having the SiGe layer on an Si substrate 10 via an insulating layer 11 comprises a first SiGe layer forming step of forming a first SiGe layer 16 on an Si layer 12 of the SOI substrate 13 having the Si layer 12 on the substrate 10 via the insulating layer, and an alloying step of heat treating after the previous step to allow the layer 12 and the layer 16 to form a second SiGe layer 17 in such a manner that before the first SiGe layer 16 forming step, grooves are formed on the surface of the layer 12.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-78140

(P 2 0 0 3 - 7 8 1 4 0 A)

(43) 公開日 平成15年 3 月14日 (2003. 3. 14)

(51) Int. Cl. ⁷	識別記号	F I	ターマコード [*] (参考)
H01L 29/786		H01L 21/205	5F032
21/205		27/12	B 5F043
21/301			E 5F045
21/306		29/78	B 5F110
21/336		618	A
		618	
審査請求 未請求 請求項の数12 O L (全8頁) 最終頁に続く			

(21) 出願番号 特願2001-265095 (P 2001-265095)

(22) 出願日 平成13年 8 月31日 (2001. 8. 31)

(71) 出願人 000228925

三菱マテリアルシリコン株式会社

東京都千代田区大手町一丁目 5 番 1 号

(71) 出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町 1 丁目 5 番 1 号

(72) 発明者 塩野 一郎

埼玉県さいたま市北袋町 1 丁目297番地

三菱マテリアル株式会社総合研究所内

(74) 代理人 100064908

弁理士 志賀 正武 (外 6 名)

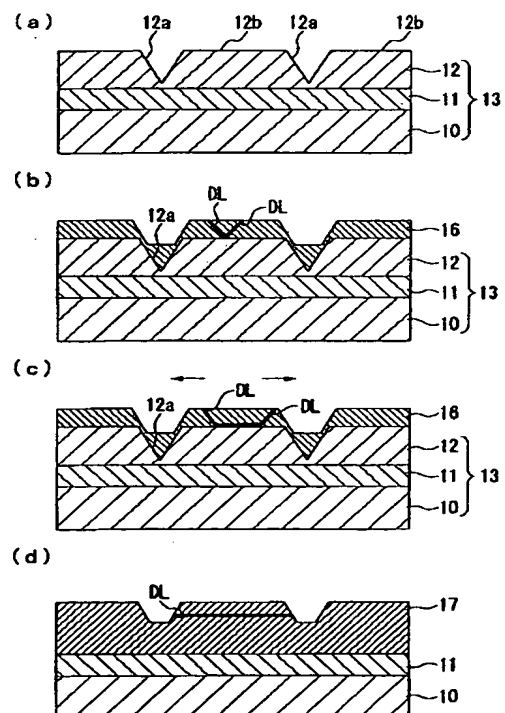
最終頁に続く

(54) 【発明の名称】 半導体基板の製造方法及び電界効果型トランジスタの製造方法並びに半導体基板及び電界効果型トランジスタ

(57) 【要約】

【課題】 半導体基板の製造方法及び電界効果型トランジスタの製造方法並びに半導体基板及び電界効果型トランジスタにおいて、SOI基板上に貫通転位密度が少なくかつ十分な歪み効果を得ることが可能なSiGe層を形成すること。

【解決手段】 Si基板10上に絶縁層11を介してSiGe層を備えた半導体基板の製造方法であって、前記Si基板10上に前記絶縁層を介してSi層12を備えたSOI基板13の前記Si層12上に第1のSiGe層16を形成する第1のSiGe層形成工程と、該工程後に熱処理を施して前記Si層12と前記第1のSiGe層16とを合金化して第2のSiGe層17とする合金化工程とを有し、前記第1のSiGe層16形成工程前に、前記Si層12の表面に溝を形成しておく。



【特許請求の範囲】

【請求項 1】 Si 基板上に絶縁層を介して SiGe 層を備えた半導体基板の製造方法であって、

前記 Si 基板上に前記絶縁層を介して Si 層を備えた SOI 基板の Si 層上に第 1 の SiGe 層を形成する第 1 の SiGe 層形成工程と、

該工程後に熱処理を施して前記 Si 層と前記第 1 の SiGe 層とを合金化して第 2 の SiGe 層とする合金化工程とを有し、

前記第 1 の SiGe 層形成工程前に、前記 Si 層の表面に溝を形成しておくことを特徴とする半導体基板の製造方法。

【請求項 2】 請求項 1 に記載の半導体基板の製造方法において、

前記第 2 の SiGe 層の表面を熱酸化してシリコン酸化膜を形成する工程と、

該シリコン酸化膜を除去する工程とを有することを特徴とする半導体基板の製造方法。

【請求項 3】 請求項 1 又は 2 に記載の半導体基板の製造方法において、

前記 SOI 基板の Si 層表面は、結晶表面の {001} 面であり、

前記溝を、その側面が {111} 面となる断面 V 字状に形成することを特徴とする半導体基板の製造方法。

【請求項 4】 請求項 1 から 3 のいずれかに記載の半導体基板の製造方法において、

前記溝を、半導体素子が形成されるデバイス領域に隣接させて形成することを特徴とする半導体基板の製造方法。

【請求項 5】 請求項 4 に記載の半導体基板の製造方法において、

前記溝を、前記デバイス領域を有する半導体チップをチップサイズに切断分離するための切り代部分に形成することを特徴とする半導体基板の製造方法。

【請求項 6】 請求項 1 から 5 のいずれかに記載の半導体基板の製造方法において、

前記溝は、格子状に形成されていることを特徴とする半導体基板の製造方法。

【請求項 7】 請求項 1 から 6 のいずれかに記載の半導体基板の製造方法において、

前記第 1 の SiGe 層のうち少なくとも一部に Ge 組成比を表面に向けて漸次増加させた傾斜組成領域を形成することを特徴とする半導体基板の製造方法。

【請求項 8】 請求項 1 から 7 のいずれかに記載の半導体基板の製造方法において、

前記第 2 の SiGe 層上に直接又は他の SiGe 層を介して歪み Si 層をエピタキシャル成長することを特徴とする半導体基板の製造方法。

【請求項 9】 SiGe 層上にエピタキシャル成長された歪み Si 層にチャンネル領域が形成される電界効果型ト

ランジスタの製造方法であって、

請求項 8 に記載の半導体基板の製造方法により作製された半導体基板の前記歪み Si 層に前記チャンネル領域を形成することを特徴とする電界効果型トランジスタの製造方法。

【請求項 10】 Si 基板上に絶縁層を介して SiGe 層を備えた半導体基板であって、

請求項 1 から 7 のいずれかに記載の半導体基板の製造方法により作製されたことを特徴とする半導体基板。

【請求項 11】 Si 基板上に SiGe 層を介して歪み Si 層が形成された半導体基板であって、

請求項 8 に記載の半導体基板の製造方法により作製されたことを特徴とする半導体基板。

【請求項 12】 SiGe 層上にエピタキシャル成長された歪み Si 層にチャンネル領域が形成される電界効果型トランジスタであって、

請求項 9 に記載の電界効果型トランジスタの製造方法により作製されたことを特徴とする電界効果型トランジスタ。

20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速 MOSFET 等に用いられる半導体基板の製造方法及び電界効果型トランジスタの製造方法並びに半導体基板及び電界効果型トランジスタに関する。

【0002】

【従来の技術】近年、Si (シリコン) 基板上に SiGe (シリコンゲルマニウム) 層を介してエピタキシャル成長した歪み Si 層をチャンネル領域に用いた高速の MOSFET、MODFET、HEMT が提案されている。この歪み Si-FET では、Si に比べて格子定数の大きい SiGe により Si 層に引っ張り歪みが生じ、そのため Si のバンド構造が変化して縮退が解けてキャリア移動度が高まる。したがって、この歪み Si 層をチャンネル領域として用いることにより通常の 1.3~8 倍程度の高速化が可能になるものである。また、プロセスとして Cz 法による通常の Si 基板を基板として使用でき、従来の CMOS 工程で高速 CMOS を実現可能にするものである。

40 【0003】しかしながら、FET のチャンネル領域として要望される上記歪み Si 層をエピタキシャル成長するには、Si 基板上に良質な SiGe 層をエピタキシャル成長する必要があるが、Si と SiGe との格子定数の違いから、転位等により結晶性に問題があった。このために、従来、以下のような種々の提案が行われていた。

【0004】例えば、SiGe の Ge 組成比を一定の緩い傾斜で変化させたバッファ層を用いる方法、Ge (ゲルマニウム) 組成比をステップ状 (階段状) に変化させたバッファ層を用いる方法、Ge 組成比を超格子状に変化させたバッファ層を用いる方法及び Si のオフカット

基板を用いてGe組成比を一定の傾斜で変化させたバッファ層を用いる方法等が提案されている (U.S. Patent 5,442,205, U.S. Patent 5,221,413, PCT W098/00857、特開平6-252046号公報等)。

【0005】一方、絶縁膜である埋め込み酸化膜 (BOX層と呼ばれる) の上にSi単結晶薄膜 (SOI層と呼ばれる) を形成したSOI (Silicon On Insulator) 基板が、次世代素子用の基板として種々の開発が行われている。このSOI基板は、基板とデバイス作製層であるSOI層が電氣的に分離しているため、高い絶縁耐圧が得られるもので、寄生容量が低く、耐放射線能力が大きいと共に基板バイアス効果が無い等の特徴がある。このため、高速性、低消費電力、ソフトウェアフリー等の効果が期待されている。

【0006】近年、このSOI基板上に高速化が可能な上記歪みSi層を形成した半導体基板の開発が行われている。例えば、SOI基板上のSOI層とSiGe層とを合金化してBOX層上にSiGe層を形成し、該SiGe層上に歪みSi層を形成する技術が提案されている (ヨーロッパ特許出願公開番号: EP0651439A2)。この技術は、図6の (a) に示すように、Si基板1上に絶縁層であるBOX層2を介してSi層である10nm程度のSOI層3を形成し、図6の (b) に示すように、さらに該SOI層3上にGe組成比0.30で膜厚20nmの第1のSiGe層4を成膜し、その後、図6の

(c) に示すように、熱処理を施してSOI層3と第1のSiGe層4とを固溶させてBOX層2上にGe組成比0.20で膜厚30nmの第2のSiGe層5を形成し、該第2のSiGe層5上に歪みSi層6を形成するものである。この技術では、第2のSiGe層5として無転位固溶層を得るために予めGe組成比が0.30と高くかつ膜厚が20nmと薄い第1のSiGe層4を形成している。

【0007】

【発明が解決しようとする課題】 しかしながら、上記従来の技術では、以下のような課題が残されている。すなわち、熱処理によりSOI層と第1のSiGe層を固溶させてBOX層上に第2のSiGe層を形成する工程において、第2のSiGe層中に多くの転位が発生し膜質が悪化してしまう。また、この膜質の悪化は、第1のSiGe層のGe組成比が大きいほど顕著であるため、Ge組成比の高い第2のSiGe層を得ることが難しい。さらに、前記膜質の悪化は、第1のSiGe層あるいはSOI層の膜厚が厚いほど顕著であるため、第2のSiGe層の膜厚の範囲が限定されてしまうという不具合がある。

【0008】本発明は、前述の課題に鑑みてなされたもので、SOI基板上に転位密度が少なくかつより広い範囲でGe組成比や膜厚を制御可能なSiGe層を有する半導体基板の製造方法及びこれを用いた電界効果型トラ

ンジスタの製造方法及びに半導体基板及び電界効果型トランジスタを提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明は、前記課題を解決するために以下の構成を採用した。すなわち、本発明の半導体基板の製造方法は、Si基板上に絶縁層を介してSiGe層を備えた半導体基板の製造方法であって、前記Si基板上に前記絶縁層を介してSi層を備えたSOI基板のSi層上に第1のSiGe層を形成する第1のSiGe層形成工程と、該工程後に熱処理を施して前記Si層と前記第1のSiGe層とを合金化して第2のSiGe層とする合金化工程とを有し、前記第1のSiGe層形成工程前に、前記Si層の表面に溝を形成しておくことを特徴とする。また、本発明の半導体基板は、Si基板上に絶縁層を介してSiGe層を備えた半導体基板であって、上記本発明の半導体基板の製造方法により作製されたことを特徴とする。

【0010】これらの半導体基板の製造方法及び半導体基板では、SiGe層形成工程前に、前記Si層の表面に溝を形成しておくので、溝が形成されたSi層上に第1のSiGe層が成膜され、第1のSiGe層に発生した転位が熱処理時に運動して溝に到達すると、溝側面であって消滅するため、固溶後の第2のSiGe層中の転位密度を低減することができる。したがって、高いGe組成比で厚い膜厚の第1のSiGe層やSOI層でも、転位密度が低い良質な第2のSiGe層を得ることができる。

【0011】また、本発明の半導体基板の製造方法は、前記第2のSiGe層の表面を熱酸化してシリコン酸化膜を形成する工程と、該シリコン酸化膜を除去する工程とを有する技術が採用される。すなわち、この半導体基板の製造方法では、第2のSiGe層の表面を熱酸化してシリコン酸化膜を形成するので、第2のSiGe層中のSiがシリコン酸化膜となり第2のSiGe層が薄膜化されると共にGe組成比が高くなるGe濃度の濃縮化が行われる。

【0012】また、本発明の半導体基板の製造方法は、前記SOI基板のSi層表面が、結晶表面の{001}面であり、前記溝を、その側面が{111}面となる断面V字状に形成することが好ましい。すなわち、この半導体基板の製造方法では、SOI基板のSi層表面が、結晶表面の{001}面であり、溝を、その側面が{111}面となる断面V字状に形成することにより、{001}面に対し、{111}面は成膜速度が遅いため、第1のSiGe層成膜後に溝がSiGe層で埋まることを抑制することができる。また、SiGe層は、{111}面上でスムーズなエピタキシャル成長をするため、突起等の異常成長が生じない。さらに、V字状の溝は、その幅等の形状を比較的容易かつ高精度に制御して形成することができる。

【0013】また、本発明の半導体基板の製造方法は、前記溝を、半導体素子が形成されるデバイス領域に隣接させて形成することが好ましい。すなわち、この半導体基板の製造方法では、半導体素子が形成されるデバイス領域に隣接した位置に溝が配されるので、デバイス領域のSiGe層内で発生した転位を効率的に溝側面で消滅させることができる。

【0014】また、本発明の半導体基板の製造方法は、前記溝を、前記デバイス領域を有する半導体チップをチップサイズに切断分離するための切り代部分に形成することが好ましい。すなわち、この半導体基板の製造方法では、溝を、デバイス領域を有する半導体チップをチップサイズに切断分離するための切り代部分に形成するので、このデバイス領域に支障無く溝を形成することができ、デバイス作製上、無駄が生じることがなく、また回路設計に制約を課すこともない。

【0015】また、本発明の半導体基板の製造方法は、前記溝が格子状に形成されていることが好ましい。すなわち、この半導体基板の製造方法では、溝が格子状に形成されているので、四角形のデバイス領域が得られ、デバイス作製上、無駄が生じることがない。

【0016】また、本発明の半導体基板の製造方法は、前記第1のSiGe層のうち少なくとも一部にGe組成比を表面に向けて漸次増加させた傾斜組成領域を形成することが好ましい。すなわち、この半導体基板の製造方法では、第1のSiGe層のうち少なくとも一部にGe組成比を表面に向けて漸次増加させた傾斜組成領域を形成するので、傾斜組成領域においてGe組成比が漸次増えるために、第1のSiGe層中の特に表面側で転位の密度を抑制することができると共に、固溶処理時の第2のSiGe層においても転位がSiGe層に沿った方向にのび易くなり、より溝側面で転位を消滅させることができる。

【0017】本発明の半導体基板の製造方法は、上記本発明の半導体基板の第2のSiGe層上に直接又は他のSiGe層を介して歪みSi層をエピタキシャル成長することを特徴とする。また、本発明の半導体基板は、Si基板上にSiGe層を介して歪みSi層が形成された半導体基板であって、上記本発明の歪みSi層を有する半導体基板の製造方法により作製されたことを特徴とする。

【0018】これらの半導体基板の製造方法及び半導体基板では、第2のSiGe層上に直接又は他のSiGe層を介して歪みSi層がエピタキシャル成長されるので、例えば歪みSi層をチャンネル領域とするMOSFET等を用いた集積回路用として好適な半導体基板を得ることができる。

【0019】本発明の電界効果型トランジスタの製造方法は、SiGe層上にエピタキシャル成長された歪みSi層にチャンネル領域が形成される電界効果型トランジ

スタの製造方法であって、上記本発明の歪みSi層を有する半導体基板の製造方法により作製された半導体基板の歪みSi層に前記チャンネル領域を形成することを特徴とする。また、本発明の電界効果型トランジスタは、SiGe層上にエピタキシャル成長された歪みSi層にチャンネル領域が形成される電界効果型トランジスタであって、上記本発明の電界効果型トランジスタの製造方法により作製されたことを特徴とする。

【0020】これらの電界効果型トランジスタの製造方法及び電界効果型トランジスタは、上記本発明の歪みSi層を有する半導体基板の製造方法により作製された半導体基板の歪みSi層にチャンネル領域を形成するので、良質な歪みSi層により高特性な電界効果型トランジスタを高歩留まりで得ることができる。

【0021】

【発明の実施の形態】以下、本発明に係る一実施形態を、図1から図5を参照しながら説明する。

【0022】図1及び図2は、本発明の歪みSi層を備えた半導体ウェーハ（半導体基板）Wの断面構造を工程順に示すものであり、この半導体ウェーハWの構造をその製造プロセスと合わせて説明すると、まず、図1の（a）に示すように、Si基板10上に絶縁層（例えば、SiO₂）であるBOX層11を介して設けられた単結晶Si層のSOI層12を有するSOI基板13を作製し、このSOI基板13のSOI層12の表面に断面V字状の溝12aを形成する。

【0023】上記SOI基板13の製造方法は、上記構成を得られるものであれば、どの製造方法によるものでも構わない。例えば、SOI基板の作製技術として代表的なものに、いわゆる基板貼り合わせ技術とSIMOX（Separation by Implanted Oxygen）法による技術とがある。基板貼り合わせ技術は、2枚の基板の片方又は両方に酸化膜を形成しておき、酸化膜を間に2枚の基板を貼り合わせるもので、貼り合わせは、2枚の基板を機械的に密着させて熱処理すること等により行い、SOI層は、貼り合わせた基板を研削及び研磨により鏡面加工して作製される。一方、SIMOX法による技術は、Siウェーハに酸素をイオン注入し、高温で熱処理することにより、酸素が過飽和に含まれている領域を酸化膜に変換するもので、BOX層上にSi薄膜が残りSOIが形成される技術である。

【0024】また、基板貼り合わせ技術として、水素イオン剥離法（スマートカット法とも呼ばれる）という手法が開発されており、この技術は、二枚のSi基板のうち酸化膜を形成した一方の上面から水素イオンを注入した後、イオン注入面を酸化膜を介して他方の基板と密着させ、その後熱処理を加えることにより基板内部に微小気泡層を形成させ、微小気泡層を劈開面として一方の基板を薄膜状に剥離し、さらに熱処理を加えて強固に結合したSOI基板とするものである（例えば、U.S. Patent

5,882,987)。

【0025】また、シリコン基板表面に多孔質Si層及びSi単結晶層を介してSiO₂層を形成し、このシリコン基板をSiO₂層を重ね合わせ面として支持基板に貼り合わせ、更に上記シリコン基板及び多孔質Si層を高圧水流ではぎ取る高圧水流分離法(T. Yoneyama, US Patent, 5371037, US filed: August 9, 1991, US patent December 6, 1994)による技術などが知られている。

【0026】上記溝12aは、図3に示すように、SOI層12の表面にマスク等でパターニングして表面をエッチングすることで形成する。また、上記SOI層12は、その表面が結晶表面の{001}面であり、上記溝12aを、その側面が{111}面となる断面V字状に形成する。なお、この際のエッチングは、例えばKOH/IPA/H₂O系のエッチング液を使用した液温80℃75分間の異方性エッチングである。

【0027】また、溝12aは、半導体素子が形成されるデバイス領域12bに隣接し、デバイス領域12bを有する半導体チップをチップサイズに切断分離するための切り代部分(いわゆるスクライブラインであって、図3中の斜線領域)に形成する。すなわち、溝12aは、その幅が例えばダイシングソーの刃幅等により決定される。デバイス領域12bの幅については、チップサイズと本発明の効果が得られる適切な幅を考慮して決定される。また、熱処理を施す際の効果も考慮して決定される。なお、溝12aが、SOI層12を貫通してBOX層11に達していても構わない。

【0028】次に、溝12aが形成されたSOI層12上に、図1の(b)に示すように、Ge組成比0.30でSiGeの一定組成層である第1のSiGe層16を減圧CVD法によりエピタキシャル成長する。なお、上記減圧CVD法による成膜は、キャリアガスとしてH₂を用い、ソースガスとしてSiH₄及びGeH₄を用いている。

【0029】次に、上記成膜後のウェーハを、熱処理炉において熱処理(アニール)を施して、図1の(c)

(d)に示すように、SOI層12と第1のSiGe層16とを固溶させて合金化し、第2のSiGe層17とする。この際、溝12aが形成されたSOI層12上に第1のSiGe層16が成膜されているので、図1の

(c)及び図4に示すように、第1のSiGe層16に発生した転位DLが熱処理時に熱運動により溝12aに到達すると、溝12a側面で抜けて消滅するため、固溶後の第2のSiGe層17中の転位密度を低減することができる。その結果、デバイス領域12bの欠陥密度が低減される。なお、上記熱処理の温度及び時間の条件設定は、例えば1000℃及び30minである。

【0030】なお、上記第1のSiGe層16のエピタキシャル成長中においても、発生した転位は運動し、溝12aに到達すると共に溝側面で抜けて消滅している。

したがって、成膜時の転位の運動及び成膜後の上記熱処理による熱運動により、多くの転位を溝12aで消滅させることができる。

【0031】また、SOI層12が、結晶表面の{001}面であり、溝12aが、その側面が{111}面となる断面V字状であるので、{001}面に対し、{111}面は成膜速度が遅いため、第1のSiGe層16成膜後に溝12aがSiGe層で埋まることを抑制することができる。また、第1のSiGe層16は、{111}面上でスムーズなエピタキシャル成長をするため、突起等の異常成長が生じない。さらに、V字状の溝は、その幅等の形状を比較的容易かつ高精度に制御して形成することができる。

【0032】この後、さらに、第2のSiGe層17上にSiをエピタキシャル成長して歪みSi層18を形成して、半導体ウェーハWを作製する。なお、各層の膜厚は、例えば、第2のSiGe層17が0.1μmであり、歪みSi層18が20nmである。

【0033】このように本実施形態では、溝12aが形成されたSOI層12上に第1のSiGe層16を成膜するので、転位DLが熱処理時の熱運動により溝12aに到達すると共に溝12a側面で抜けて消滅し、またデバイスを形成する層下のミスフィット転位となるため、固溶後の第2のSiGe層17中の転位密度を低減することができる。また、溝12aを、デバイス領域12bを有する半導体チップをチップサイズに切断分離するための切り代部分に配置すれば、デバイス領域12bに支障無く溝12aを形成することができ、デバイス作製上、無駄が生じることがなく、また回路設計に制約を課すこともない。

【0034】次に、本発明の上記歪みSi層を備えた半導体ウェーハWを用いた電界効果型トランジスタ(MOSFET)を、その製造プロセスと合わせて図5を参照して説明する。

【0035】図5は、本発明の電界効果型トランジスタの概略的な構造を示すものであって、この電界効果型トランジスタを製造するには、上記の製造工程で作製した半導体ウェーハW表面の歪みSi層18上にSiO₂のゲート酸化膜19及びゲートポリシリコン膜20を順次堆積する。そして、チャネル領域となる部分上のゲートポリシリコン膜20上にゲート電極(図示略)をパターニングして形成する。

【0036】次に、ゲート酸化膜19もパターニングしてゲート電極下以外の部分を除去する。さらに、ゲート電極をマスクに用いたイオン注入により、歪みSi層18及び第2のSiGe層17にn型あるいはp型のソース領域S及びドレイン領域Dを自己整合的に形成する。この後、ソース領域S及びドレイン領域D上にソース電極及びドレイン電極(図示略)をそれぞれ形成して、歪みSi層18がチャネル領域となるn型あるいはp型M

OSFETが製造される。

【0037】このように作製されたMOSFETでは、上記製法で作製された半導体ウェーハWの歪みSi層18にチャネル領域が形成されるので、十分な歪み効果が得られると共に良質な歪みSi層18により動作特性に優れたMOSFETを高歩留まりで得ることができる。

【0038】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。

【0039】例えば、上記実施形態では、エッチングにより溝を形成したが、ダイシング技術等を用いて機械的加工により溝を形成しても構わない。また、第1のSiGe層のうち少なくとも一部にGe組成比を表面に向けて漸次増加させた傾斜組成領域を形成しても構わない。この場合、傾斜組成領域においてGe組成比が漸次増えるために、第1のSiGe層中の特に表面側で転位の密度を抑制することができると共に、固溶処理時の第2のSiGe層においても転位がSiGe層に沿った方向にのび易くなり、より溝側面で転位を消滅させることができる。

【0040】また、上記実施形態では、第2のSiGe層を熱処理により固溶されて形成させた後に歪みSi層を形成したが、第2のSiGe層形成後に該第2のSiGe層表面を熱酸化してシリコン酸化膜を形成し、さらに該シリコン酸化膜をフッ酸等によりエッチングで除去した表面に、歪みSi層を成膜しても構わない。この場合、第2のSiGe層の表面を熱酸化してシリコン酸化膜を形成するので、第2のSiGe層中のSiがシリコン酸化膜となり第2のSiGe層が薄膜化されると共にGe組成比が高くなりGe濃度の濃縮化が行われる。

【0041】また、上記実施形態の半導体ウェーハWの歪みSi層上に、さらにSiGe層を備えた半導体ウェーハも本発明に含まれる。また、第2のSiGe層上に直接歪みSi層を成膜したが、第2のSiGe層上にさらに他のSiGe層を成膜し、該SiGe層を介して歪みSi層をエピタキシャル成長しても構わない。

【0042】

【発明の効果】本発明によれば、以下の効果を奏する。本発明の半導体基板の製造方法及び半導体基板によれば、SOI基板のSi層表面に溝を形成し、その上に第1のSiGe層を形成するので、該第1のSiGe層に発生した転位が熱処理時に運動して溝に到達し、溝側面で抜けて消滅するため、固溶後の第2のSiGe層中の転位密度を低減することができる。したがって、十分な歪み効果を得るために必要な高いGe組成比で厚い膜厚の第1のSiGe層やSOI層でも、転位密度が低い良質な第2のSiGe層を得ることができる。

【0043】また、本発明の半導体基板の製造方法及び半導体基板によれば、第2のSiGe層上に直接又は他のSiGe層を介して歪みSi層がエピタキシャル成長されるので、例えば歪みSi層をチャネル領域とするMOSFET等を用いた集積回路用の半導体基板を得ることができる。

【0044】また、本発明の電界効果型トランジスタの製造方法及び電界効果型トランジスタによれば、上記本発明の歪みSi層を有する半導体基板の製造方法により作製された半導体基板の歪みSi層にチャネル領域を形成するので、良質な歪みSi層により高特性なMOSFETを高歩留まりで得ることができる。

【図面の簡単な説明】

【図1】 本発明に係る一実施形態における半導体基板の製造方法を製造工程順に示す断面図である。

【図2】 本発明に係る一実施形態における半導体基板を示す断面図である。

【図3】 本発明に係る一実施形態におけるSOI基板を示す拡大平面図である。

【図4】 本発明に係る一実施形態における転位を説明するための要部断面における概念図である。

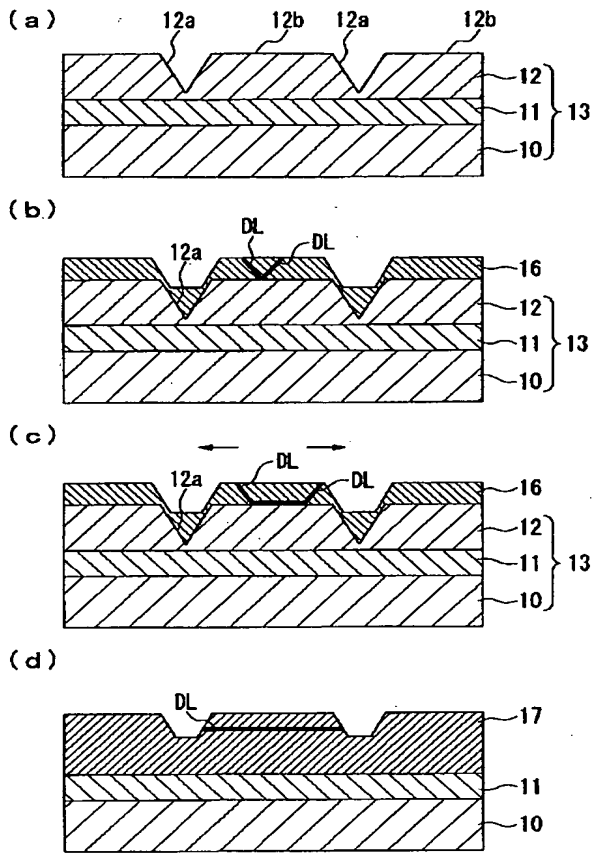
【図5】 本発明に係る一実施形態におけるMOSFETを示す概略的な断面図である。

【図6】 本発明に係る従来例における半導体基板を製造工程順に示す断面図である。

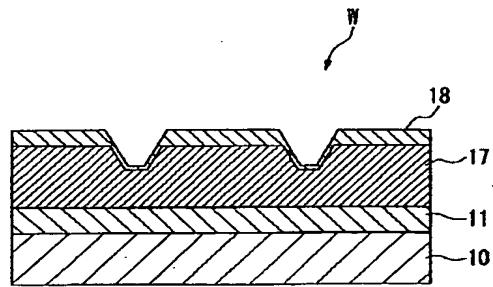
【符号の説明】

- 1 Si基板
- 2 BOX層
- 3 SOI層
- 4 第1のSiGe層
- 5 第2のSiGe層
- 10 Si基板
- 11 BOX層（絶縁層）
- 12 SOI層（Si層）
- 12a 溝
- 12b デバイス領域
- 13 SOI基板
- 16 第1のSiGe層
- 17 第2のSiGe層
- 18 歪みSi層
- 19 SiO₂ゲート酸化膜
- 20 ゲートポリシリコン膜
- D ドレイン領域
- DL 転位
- S ソース領域
- W 半導体ウェーハ（半導体基板）

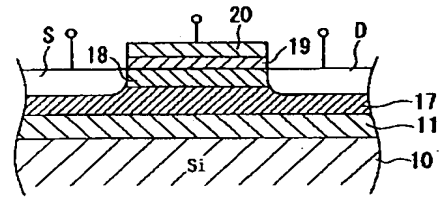
【図 1】



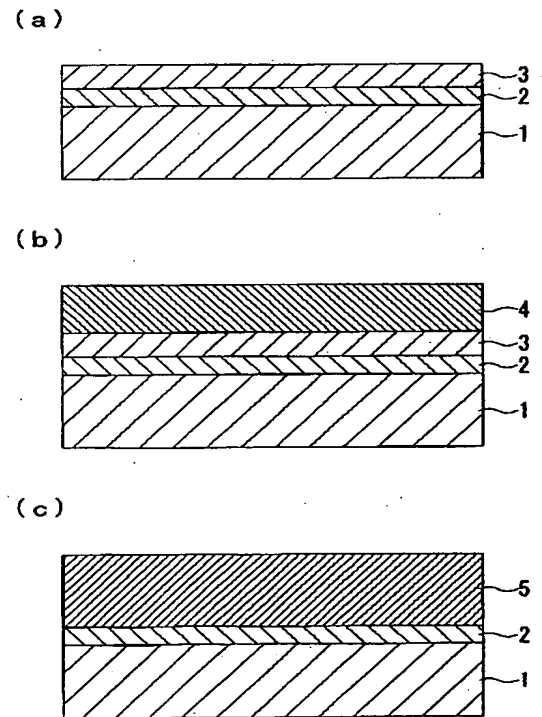
【図 2】



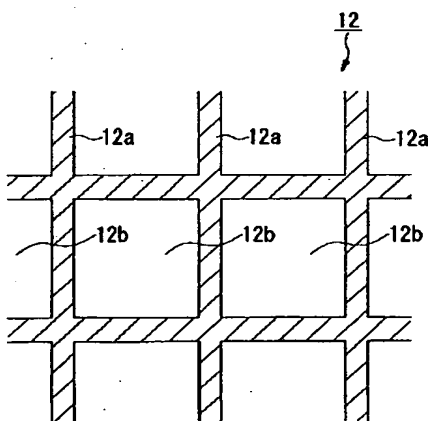
【図 5】



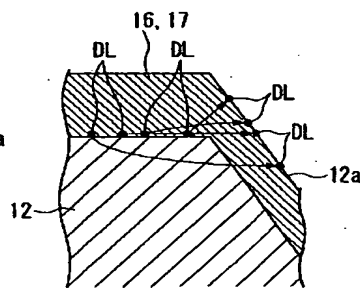
【図 6】



【図 3】



【図 4】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)
H O 1 L	21/762	H O 1 L 21/76	D
	27/12	29/78	6 2 0
		21/306	B
		21/78	L

(72) 発明者 水嶋 一樹	F ターム (参考)
埼玉県さいたま市北袋町 1 丁目 297 番地	5F032 AA91 CA05 CA17 DA13 DA25
三菱マテリアル株式会社総合研究所内	DA53 DA60 DA71
	5F043 AA02 BB02 DD30 FF01 GG10
	5F045 AA06 AC01 BB12 BB16 DA58
	DA67 HA04 HA16
	5F110 AA01 CC02 DD05 DD13 EE09
	EE42 FF02 FF27 GG01 GG02
	GG06 GG12 GG17 GG25 GG42
	GG57 HJ13 QQ05 QQ11 QQ17